

某型多通道数字隔离器设计

Design of a Multi-channel Digital Isolator

陈飞

Fei Chen

贵州航天控制技术有限公司 中国·贵州 贵阳 550009

Guizhou Aerospace Control Technology Co., Ltd., Guiyang, Guizhou, 550009, China

摘要: 在许多数字设备信号传输系统中,设备之间可能会产生比较大的干扰噪声,为了降低这部分噪声的影响,通常会在传输路径中加入一个信号隔离器,提升设备之间通信可靠性和降低设备的相互干扰。论文针对一款4通道电容数字隔离器芯片的原理、组成、仿真进行了详细说明,对设计的数字隔离器进行了充分验证,性能达到了其他国家主流数字隔离器的指标。

Abstract: In many digital equipment signal transmission systems, there may be relatively large interference noise between devices. In order to reduce the impact of this part of the noise, a signal isolator is usually added to the transmission path to improve the reliability of communication between devices and reduce the mutual interference of devices. The paper provides a detailed explanation of the principle, composition, and simulation of a 4-channel capacitive digital isolator chip. The designed digital isolator has been fully validated, and its performance meets the standards of mainstream digital isolators in other countries.

关键词: 数字隔离器; 隔离电容; 发射器; 接收器

Keywords: digital isolator; isolation capacitor; transmitter; receiver

DOI: 10.12346/etr.v5i12.8864

1 引言

在许多数字设备信号传输系统中,设备之间可能会产生比较大的干扰噪声,为了降低这部分噪声的影响,通常会在传输路径中加入一个数字信号隔离器,在传统的信号隔离电路设计通常选用光耦隔离器对不同设备信号的传送进行隔离,而光耦隔离器的价格较高、体积大、功耗也大,当前越来越多采用数字信号隔离器对设备间的通信信号进行隔离。相较于光耦隔离,电容隔离实现了高传输速率和低功耗,容易做到较大带宽;相较于变压器隔离,电容隔离实现了小体积微型化。同时,片上电容工艺成熟,绝缘体上硅(SOI)、蓝宝石上硅(SOS)技术均可以轻松实现隔离器件的集成。电容隔离器在材料上一般选择二氧化硅,二氧化硅作为介质材料的优势在于其成本较低、制作工艺简单,且具有极好的绝缘性,极其适合作为隔离材料使用。在性能上,二氧化硅电容隔离层在体积大小及抗磁场干扰上具有明显的优势。电容数字隔离器芯片已是隔离器研究的热门方向^[1]。

2 数字隔离器设计

2.1 数字隔离器组成

设计的四通道数字隔离器,完全符合UL1577规定的5000V_{RMS}隔离电压,符合VDE、CSA和CQC标准下的加强绝缘。每个隔离通道具有独立的逻辑输入和缓冲输出,输入与输出间使用双层二氧化硅电容形成隔离带。器件具有使能控制功能可以控制输出为逻辑输出或高阻态,更易于在总线系统中使用并降低功耗。芯片的结构原理框图见图1,两颗芯片通过高压电容及其连接线实现通信。芯片为4通道设计,每个通道均为差分传输。除通道所需的8个高压隔离电容之外,每颗芯片包含基准源、POR、LDO等基本模块,以及发射器接收器等核心模块。CONFIG模块及PAD用来配置通道方向,OUT_DEF模块及PAD用来配置掉电逻辑。

2.2 基准源(BANDGAP)

BANDGAP即基准源,其作用是为电路其他模块提供参考电压和参考电流。在本设计中,其由两部分组成:

【作者简介】陈飞(1981-),男,布依族,中国贵州平塘人,本科,高级工程师,从事软件、芯片研究。

BANDGAP_POWER 和 BANDGAP_CORE, 如图 2 所示。BANDGAP_CORE 即为基准源核心模块, 产生参考电压和电流。增加的 BANDGAP_POWER 的作用是为 BANDGAP_CORE 供电, 提高 PSRR。

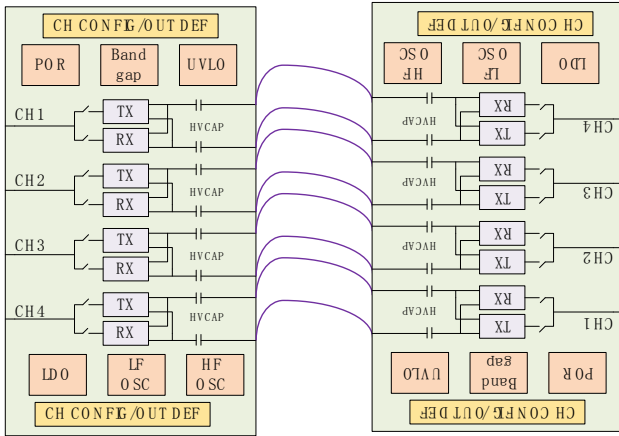


图 1 隔离器结构组成框图

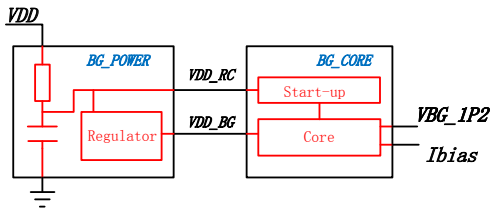


图 2 基准源示意图

2.3 UVLO_POR 电路

UVLO_POR 即欠压锁定及上电重置, 其作用是使电路在达到一定的工作电压之前屏蔽输出, 防止产生误码或者毛刺。该模块内除 POR 及 UVLO 外, 还包含电源电压判定电路, 用以在不同电压下增强或减弱驱动能力。POR 的原理图如图 3 所示, POR 的翻转阈值为 N 管阈值与 P 管阈值之和。UVLO 的原理图如图 4 所示, 其翻转阈值略高于 POR, 保证电路在达到电压域范围前, 输出不产生误码或毛刺。

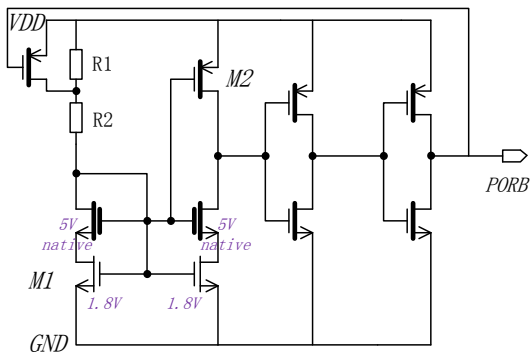


图 3 POR 原理图

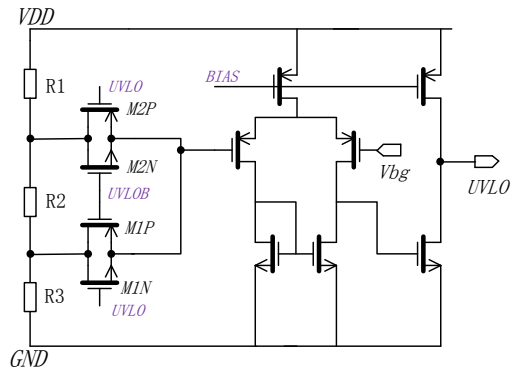


图 4 UVLO 原理图

2.4 LDO 电路

LDO 的作用是为电路内部核心模块提供稳定的电源电压, 其原理图如图 5 所示。LDO 的结构为主从式, 主 LDO 位于环路内, 从 LDO 则由主 LDO 的输出通过源极跟随器得到。各核心模块均由不同的 LDO 供电, 减小了彼此之间的干扰。

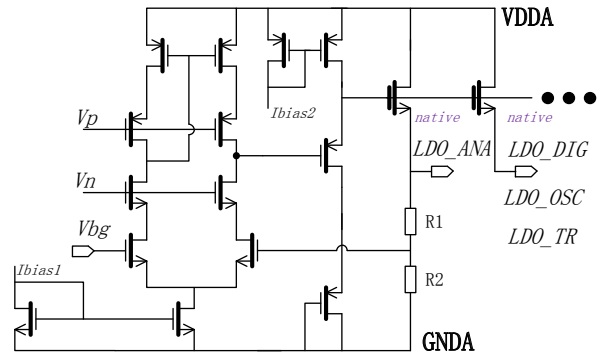


图 5 LDO 原理图

2.5 振荡器

芯片内部集成低频振荡器与高频振荡器: 高频振荡器的作用是产生高频载波, 其原理是通过三级反相器构成环振, 其电源电压 VDD 由低频振荡器控制, 产生周期性变化, 随着电源电压的变化, 高频振荡器的频率随之发生周期性变化, 产生展频特性使得输入信号被调制后跨越隔离带传输; 低频振荡器的作用是对高频载波进行展频, 其原理是通过电流对电容充放电实现振荡输出, 使其频谱分散, 提高 EMI 性能 [2]。

2.6 收发器电路

收发器电路是数字隔离器的核心电路, 包括发送器 (TX) 及接收器 (RX)。

TX 的结构框图如图 6 所示, 主要由调制级和驱动级组成。调制级将高频载波信号与输入信号混频, 将其调制到高频, 并将信号转变为差分信号。驱动级主要增强差分信号的

驱动能力，用以驱动高压电容，完成信号的发射。TX 调制级主要是将信号进行混频，同时在通道为 RX 时将其关闭。TX 驱动级主要是将混频后得到的差分信号增强，并驱动高压电容。

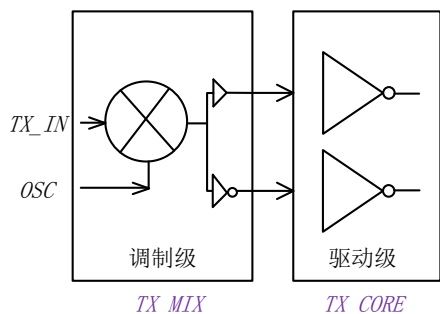


图 6 TX 结构框图

RX 的结构框图如图 7 所示，主要由偏置级、增益级以及解调级组成。经过调制后的输入信号经过高压电容跨过隔离带达到另一颗芯片。偏置级将高频信号偏置到合适的 DC 电压处，供后级处理。由于经过了信号通路的电容分压，高频信号的幅度非常小，需要经过增益级放大后才能被解调级解调。经过解调后的信号被还原成输入信号，经过驱动后即可输出到片外。

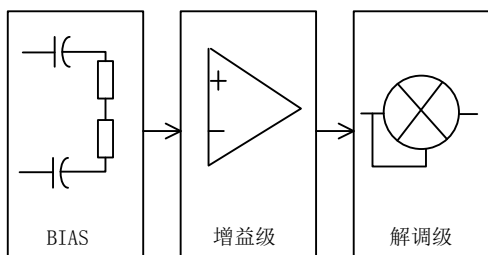


图 7 RX 结构框图

2.7 电容隔离

电容式数字隔离器，其主要难点在于设计耐压电容，由于电容的容值与极板之间的距离成反比，而耐压值与极板之间的距离成正比，两者之间的矛盾使得很难做出容值很大且耐压值很高的电容。这直接决定了电容式数字隔离器的载波频率必须相对较高才能有效地被较小容值的耐压电容耦合到副边。此外，较小的容值也给电容式数字隔离器的信号放大电路和抗噪声设计 (kT/C) 带来了较大的困难^[3]。

在电容隔离芯片调制模式中，如果输入信号与振荡器产生的时钟信号不同步，则会造成电路编码和解码的紊乱，为解决这个问题，可以采用 D 触发器使输入信号与时钟信号同步。D 触发器是一个具有记忆功能的，具有两个稳定状态的信息存储器件，是构成时序电路的最基本逻辑单元。

2.8 芯片电路仿真

BANDGAP_POWER 的环路稳定性仿真波形如图 8 所示，在 5V 和 3V 电源电压下，环路均正常工作，其相位裕

度大于 50°，环路稳定。在 1.8V 电源电压下，环路失效，无稳定性要求。

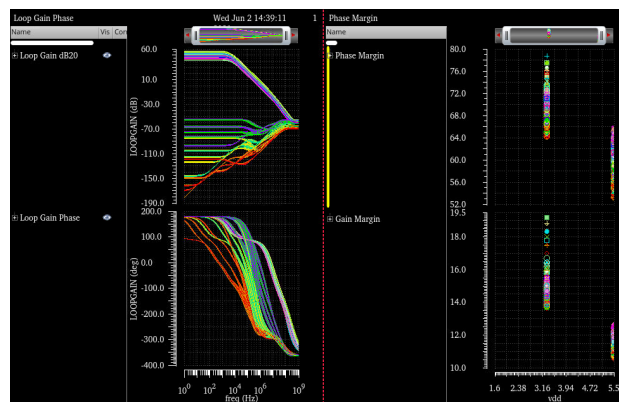


图 8 BANDGAP_POWER 环路稳定性仿真波形

POR 及 UVLO 的仿真波形如图 9 所示。POR 的阈值为 1.36V 和 1.3V，迟滞 60mV；UVLO 的阈值为 1.67V 和 1.59V，迟滞 80mV；2V 档位的阈值为 2.36V 和 2.16V，迟滞 200mV；4V 档位的阈值为 4.36V 和 4.02V，迟滞 340mV。

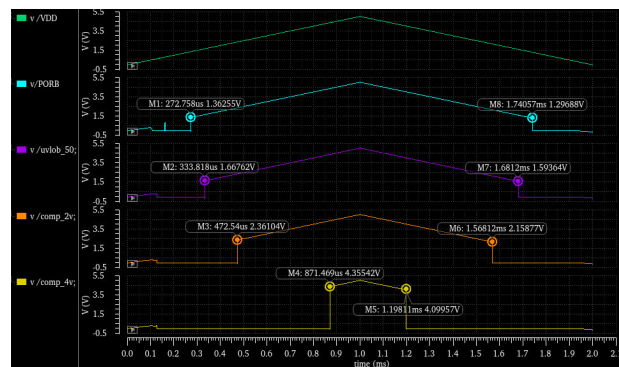


图 9 POR 及 UVLO 仿真波形

时序仿真主要是对信号的延时、PWD 进行仿真，仿真在全 corner 下进行，电源电压覆盖 1.7~5.5V，温度为 -40° ~125°，工艺波动包含所有器件的工艺角。同时考虑到通道间干扰的影响，4 个通道在仿真输入时分别设置为完全同步与互相交错两种形式。仿真设置的时序如图 10 所示。

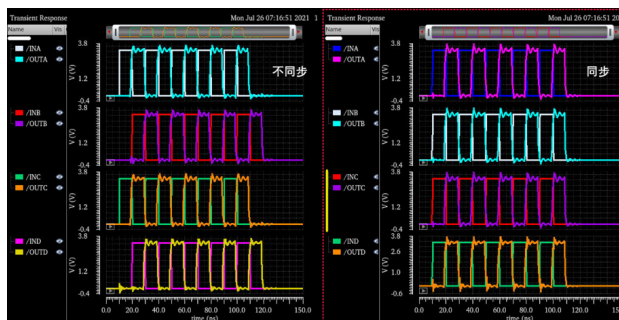


图 10 时序仿真设置

3 结语

对工程芯片样品进行机台测试, 测试数据见表 1。

对型数字隔离器开展了电路原理设计、仿真验证和版图设计工作, 满足预期设计指标要求。

表 1 机台测试数据对照表

参数	符号	测试条件	最小值	最大值	单位	
输入高电平电压	V_{IH}	—	$0.7V_{DDX}$	—	V	
输入低电平电压	V_{IL}	—	—	$0.3V_{DDX}$	V	
V_{DD1}/V_{DD2} 上升时的 UVLO 电压	UVLO+	—	1	2	V	
V_{DD1}/V_{DD2} 下降时的 UVLO 电压	UVLO-	—	1	2	V	
输入上拉电流	I_{PU}	—	-	15	μA	
输入下拉电流	I_{PD}	—	-15	—	μA	
输出高电平电压	V_{OH}	$I_{OH}=-4mA$	$V_{DDX}-0.2$	—	V	
输出低电平电压	V_{OL}	$I_{OL}=4mA$	—	0.2	V	
输出阻抗	R_{OUT}	—	—	50	Ω	
电源电流 (交流信号)	$I_{DD1(1M)}$	$V_{DD1}=V_{DD2}=5V$ EN1= V_{DD1} EN2= V_{DD2} $C_L=15pF$	1Mbps	—	6.0	mA
	$I_{DD2(1M)}$		1Mbps	—	6.2	mA
	$I_{DD1(10M)}$		10Mbps	—	8.0	mA
	$I_{DD2(10M)}$		10Mbps	—	11.6	mA
	$I_{DD1(100M)}$		100Mbps	—	4.6	mA
	$I_{DD2(100M)}$		100Mbps	—	27.0	mA
	$I_{DD1(1M)}$	$V_{DD1}=V_{DD2}=3.3V$ EN1= V_{DD1} EN2= V_{DD2} $C_L=15pF$	1Mbps	—	6.0	mA
	$I_{DD2(1M)}$		1Mbps	—	6.0	mA
	$I_{DD1(10M)}$		10Mbps	—	7.0	mA
	$I_{DD2(10M)}$		10Mbps	—	10.0	mA
	$I_{DD1(100M)}$		100Mbps	—	4.5	mA
	$I_{DD2(100M)}$		100Mbps	—	20.2	mA
	$I_{DD1(1M)}$	$V_{DD1}=V_{DD2}=2.5V$ EN1= V_{DD1} EN2= V_{DD2} $C_L=15pF$	1Mbps	—	5.5	mA
	$I_{DD2(1M)}$		1Mbps	—	5.8	mA
	$I_{DD1(10M)}$		10Mbps	—	7.0	mA
	$I_{DD2(10M)}$		10Mbps	—	8.8	mA
	$I_{DD1(100M)}$		100Mbps	—	3.6	mA
	$I_{DD2(100M)}$		100Mbps	—	17.0	mA
	$I_{DD1(1M)}$	$V_{DD1}=V_{DD2}=1.8V$ EN1= V_{DD1} EN2= V_{DD2} $C_L=15pF$	1Mbps	—	5.0	mA
	$I_{DD2(1M)}$		1Mbps	—	5.3	mA
	$I_{DD1(10M)}$		10Mbps	—	5.8	mA
	$I_{DD2(10M)}$		10Mbps	—	7.3	mA
	$I_{DD1(100M)}$		100Mbps	—	3.9	mA
	$I_{DD2(100M)}$		100Mbps	—	14.8	mA
上升时间	t_R	$C_L=15pF$	—	2.5	ns	
下降时间	t_F	$C_L=15pF$	—	2.5	ns	
传输延迟时间	t_{PLH}	$C_L=15pF$	5	20	ns	
	t_{PHL}	$C_L=15pF$	5	20	ns	
脉冲宽度失真	PWD	$C_L=15pF, t_{PHL}-t_{PLH} $	—	5	ns	
输出高电平至高阻态时间	t_{PHZ}	$C_L=15pF, R_L=1k\Omega$	—	40	ns	
输出高阻态至高电平时间	t_{PZH}	$C_L=15pF, R_L=1k\Omega$	—	65	ns	
输出低电平至高阻态时间	t_{PLZ}	$C_L=15pF, R_L=1k\Omega$	—	40	ns	
输出高阻态至低电平时间	t_{PZL}	$C_L=15pF, R_L=1k\Omega$	—	65	ns	

参考文献

- [1] 黄海云. CMOS单片集成3D霍尔磁传感器研究与设计[D].大连: 大连理工大学, 2016.
- [2] 彭业辉. CMOS高精度霍尔开关电路设计[D].上海: 上海交通大学, 2015.
- [3] 伍凤娟. 开关型霍尔电路芯片的设计[D].西安: 西安科技大学, 2015.